3.5. しきい値(Vtp, Vtn)の算出

カテゴリー

研究室 ナノ集積システム研究室 教員 牧野 博之

🕲 IT・loT・Al・ロボティクス

LSI、センサー、制御

測定器を使わないトランジスタのしきい値測定手法

1. 研究の背景

AI、ロボット、携帯電話、自動車など最新の機器やシステ ムには高度な情報技術が取り入れられています。これら の情報技術をハードウェア面で支えているのがLSI(Large Scale Integration)であり、情報技術の進歩はLSIの進歩そ のものであると言っても過言ではありません。今後AIの進 歩が大きく期待されていますが、そのためにはLSIの性能 をもっと向上させる必要があります。

LSIの性能を上げるには、SRAM(Static Random Access Memory)の記憶容量を増やすことが不可欠です。SRAMは、 オンチップの高速メモリとして、キャッシュメモリやデータ格 納用に用いられ、常にビット数の増加が求められています。

SRAMの多ビット化は、素子の微細化によって実現されま すが、最近は微細化による特性のランダムなばらつきの 増加が大きな問題となっています[1]。SRAMにおいて1ビッ トを記憶するメモリセルは、図1のように、合計6個のトラン ジスタから成りますが、この6個のトランジスタがランダム にばらつきます。一例として、45nmプロセスにおけるラン ダムなばらつきの増加の様子を図2に示します。



トランジスタのしきい値電圧(Vth)は回路の特性を決定 する重要なパラメータですが、Vthのランダムなばらつき がトランジスタ面積の平方根に反比例してどんどん大きく なることが分かります。すなわち、微細化すればするほど、 ランダムなばらつきが大きくなっていきます。メモリセル (図1)は、データの保持や読み出し、書き込みを安定して 行う必要がありますが、ランダムなばらつきの増加によっ て、安定動作が困難になります。図3に示すように、動作 可能領域が狭くなって、動作歩留まりが下がり、場合に よっては全く動作不能となってしまいます。

しかも、ビット数が多くなるほどばらつき範囲が大きくな るので、動作範囲はもっと小さくなってしまいます。このま までは、多ビットのSRAMを作ってもばらつきのせいで歩 留まりが低くなってしまうので、何等かの対策が必要です。



2. 研究の目的と進め方

本研究は、この問題を解決するために、LSI毎にしきい値 電圧(Vth)の仕上がり状態を検知して、それに合わせて電 圧を最適化することで動作可能にするというもので、すべ の処理をオンチップで自動的に行うことを目標としてい ます。研究は、図4のように3段階で実施しています。



このうち、第1段階のSRAMの最適電圧に関する研究内 容と結果については、昨年度のイノペーションデイズにて 報告しました。今回は、第2段階としてオンチップでしきい 値の仕上がりを自動測定する方法について報告します。

3. 研究内容 3.1. Vth検知手法の提案

本研究では、従来の測定器を用いる測定ではなく、リン ータ(RO)の発振周波数からしきい値電圧Vthの仕 上がり値を検知する手法を提案します[2]。

3.2. Vth 検知回路

しきい値電圧(Vth)の検知には、図1に示す3種類のROを 用います。ROは、図のように奇数段のインバータ回路をリ ング状に接続した構成で、電源に電圧を与えると自動的 に一定の周波数で発振する性質があります。3つのROは それぞれn段のインバータから成り、①は基本サイズ、② はpMOSのみサイズをm倍にしたもの、③はnMOSのみサ イズをm倍にしたものとなっています。また、各段の出力に インバータによる容量負荷を接続しており、いずれも基本 サイズのk倍としています。①~③の発振周波数F0, F1, F2 は、カウンタ回路により、容易に測定することができます。



3.3. Vth算出原理

本研究では、測定された発振周波数F₀, F₁, F₂から、以下 の原理でしきい値(Vth)を算出します。ここで、pMOSトラン ジスタとnMOSトランジスタのしきい値をVtp、Vtnとします。

①F₀, F₁, F₂の測定値から、以下の式でT₀, T₁₂を計算する。 $T_0=1/(n\cdot F_0), T_{12}=1/(n\cdot F_1)-1/(n\cdot F_2)$ (1) ②T₀とT₁₂を以下のようにVtpおよびVtnの関数と考える。

T₀=F(Vtp, Vtn), T₁₂=G(Vtp, Vtn) (2) ③この2つの関数が極値を持たず、方向の異なる等高線を持てば、 VtpとVtnを一意的に逆算することができる。

このようにして、測定器を使用することなく、ROの発振周 波数からしきい値電圧の仕上がり値を知ることができます

3.4. シミュレーション

本手法の有効性を実証するために、SPICEシミュレーショ ッを実施しました。45nmのパラメータ[3]を用い、インバー タの基本サイズを、Wp/Wn=600/300nmとしました。

図6に、VDD=1.4V, m=30とした場合の、k=10, 20, 30に対 するToとT12の分布を示します。測定は、VtpおよびVtnに対 して絶対値を0.2V~0.6Vまで50mV刻みの計81点で行いま した。上段がT₀、下段がT₁₂で分布を等高線で表示しており 両者の直交性が高いほどVtpとVtnを精度よく算出すること ができます。3種類のkを比較すると、k=10は直交性が不 十分であり、k=20以上で直交性が良くなっています。また、 回路面積の観点からは、kが小さい方が望ましいので、こ こではk=20が最適であることが分かりました。



T₀およびT₁₂の分布からVtpおよびVtnを以下のように算 出します。 ①T₀をVtnの2次関数で近似し、測定点9つ分の2次関数を得る。 $T_{0i} = A_{2i} \cdot Vtn^2 + A_{1i} \cdot Vtn + A_{0i}$ (i=0~8) (3) ②さらに、各9点から成る(A₂, A₁, A₀)をVtpの2次式で近似し、以下 に示す(A2, A1, A0)を得る。 $A_{j} = B_{j2} \cdot Vtp^{2} + B_{j1} \cdot Vtp + B_{j0} (j=2 \sim 0)$ (4) ③こうして、T。の近似式として以下の式が得られる。 $T_0 = A_2 \cdot V tn^2 + A_1 \cdot V tn + A_0$ (5) ④T₁₂についても同様にして以下の式を得る。 $\mathbf{T}_{12} = \mathbf{C}_2 \cdot \mathbf{V} \mathbf{tn}^2 + \mathbf{C}_1 \cdot \mathbf{V} \mathbf{tn} + \mathbf{C}_0$ (6) (5)式(5)と(6)の導立2次方程式を、Excelの曲線近似とゴールシーク 機能などを用いて解き、VtpとVtnを算出する。 3.6. 精度の評価と高精度化 前節の方法で遅延時間からVtpとVtnを逆算し、種々の 条件に対して算出精度を評価しました。まず、k=20, m=30 とした場合の、VDD=1.2V, 1.3V, 1.4Vの精度の比較を図7 に示します。VDDが高いほど誤差が縮小して精度が良くな ることが分かります。図8にk=20, VDD=1.4Vとした場合の、





さらに、図8の結果に対して前節の式(3~6)のフィッティン グを2分割してさらに精度を上げた場合の結果を図9に示 します。フィッティング精度の向上によりm=40の条件では、 誤差が5mV未満と非常に小さくなっています。これは実用 上十分な精度であると言えます。



4. 結論

- ◆ROの発振周波数からしきい値電圧を求める手法を提案
- し、誤差5mVの高精度で求められることを示しました。 ◆本研究により、測定装置を使わずにオンチップでしきい
- 値を測定することが可能となります。

く謝辞>

本研究はJSPS科研費(JP23560423)の助成を受けたものです。

〈参考文献>

- P. Stolk, et al., IEEE Trans. Elect. Dev., Vol. 45, No. 9, pp. 1960-1971, 1998.
- T. Matsunoto, et al., IEEE The 2014 International Meeting for Future of Electron Devices, Kansai (IMFEDK2014), pp.104-105, June 19-20, 2014.
- [3] http://ptm.asu.edu/