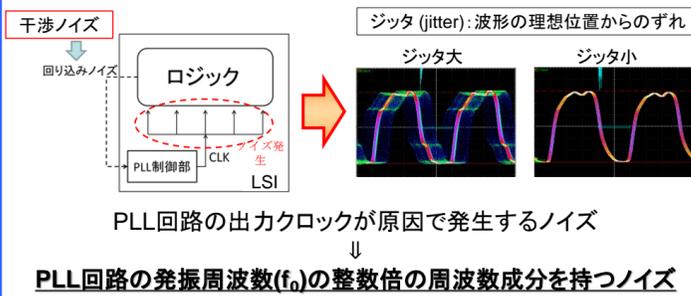


# 高速データ通信用発振器のノイズキャンセル技術

## 1. 背景

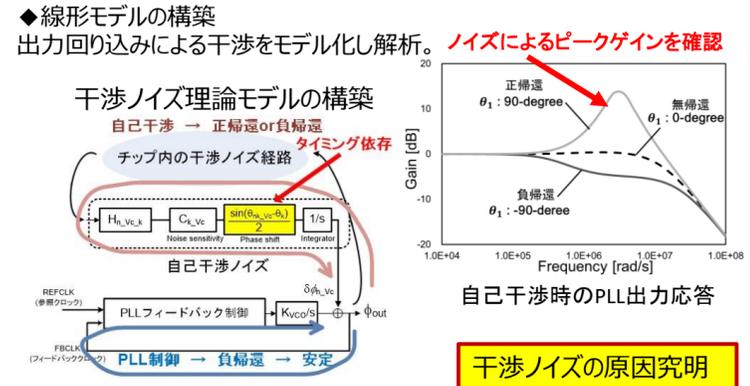
- ◆ LSIにおける干渉問題
- 通信用LSIの高速化とそれに伴う干渉ノイズの影響の顕在化
- 干渉ノイズのメカニズムを解明しノイズ低減手法の提案を行う



## 2. 干渉ノイズの原因究明と線形モデルの提案

- ◆ 干渉ノイズのメカニズム
- 発振器の干渉ノイズで特に問題となるのが、外部に特にノイズ源がなくても出力ジッタが生じてしまう現象。それについて、出力信号の回り込みによる干渉、すなわち出力信号の「エコー」が原因であることを突きとめた。

干渉ノイズ → 出力信号の「エコー」

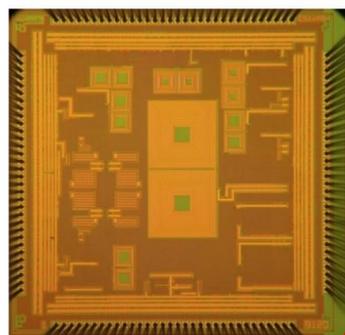


## 3. 干渉ノイズの実験手法の確立

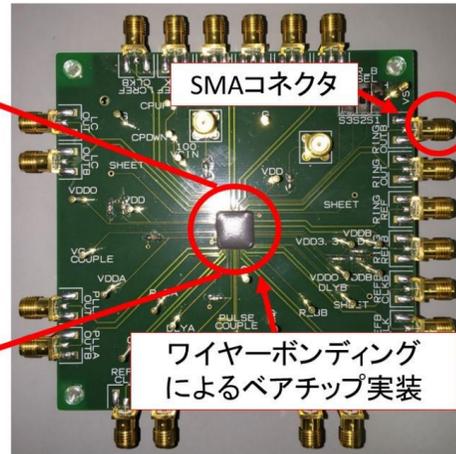
- ◆ 検証用テストチップの設計
- 干渉ノイズの解析結果を実際のLSIの干渉ノイズの検証に用いるため、テストチップ(LSI)を実際に設計・試作し、評価する。
- ローム社製0.18 $\mu$ m CMOS ロジックプロセスを使ってチップの試作を行い、そのテストチップを自作ボードに実装して電気特性評価を行う。

- (高周波設計で考慮すべき点)
- ✓ インピーダンス整合のマイクロストリップライン
  - ✓ パッケージ損失をなくしたベアチップ実装

数GHzのクロック信号の伝送が可能



検証用テストチップ (2.5mm × 2.5mm)



テストチップ専用ボード (10cm角)

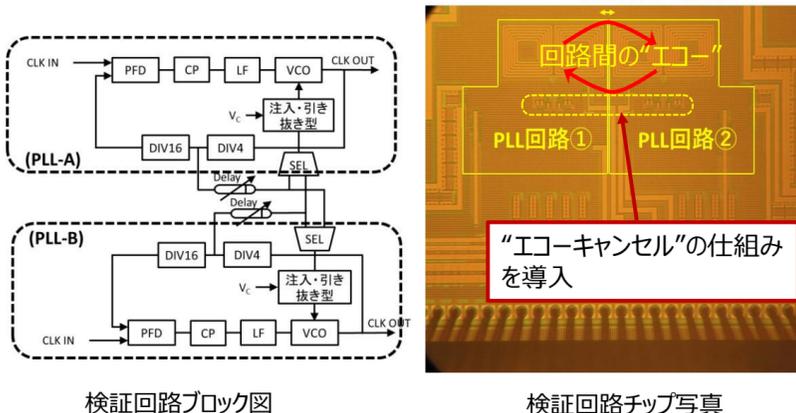
- ◆ テストチップの目的・用途
- ✓ 高周波・高性能発振回路(PLL回路)の干渉ノイズの測定を行い線形モデルとの比較・解析を行う。
- ✓ 干渉ノイズを低減する手法を新たに考え(特許出願中), その効果を検証する。
- ・近接2 PLLによる相互干渉ノイズ低減
- ・カスコードPLLによる干渉ノイズ低減

## 4. 検証回路における干渉ノイズ低減

### 近接2PLLの相互干渉ノイズへの適用

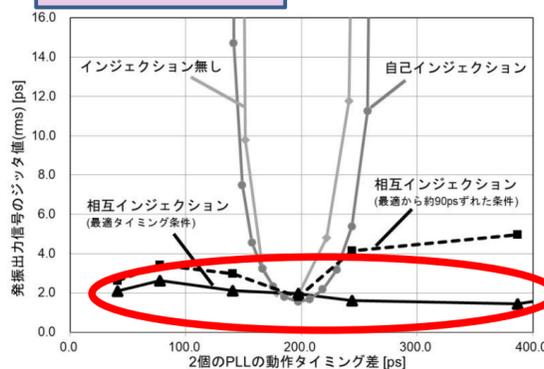
#### テストチップの特徴

- ✓ 2つの発振器(PLL回路)の相互干渉を利用
- ✓ 相互干渉を「エコーキャンセル」の原理で解消



近接した2つの発振器の相互干渉(～エコーの響きあい)を観測し、相互インジェクションによる「エコーキャンセル」でのノイズ解消を確認する。

#### テストチップ検証結果



- ✓ 相互干渉によるジッタ大を観測
- ✓ 相互インジェクションでジッタ大が解消することを確認

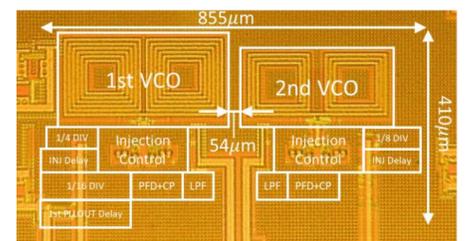
相互干渉の解消を実現

特願2018-141815, 2018年7月27日, 吉村勉, 学校法人常翔学園

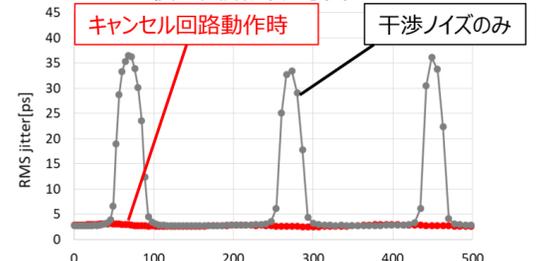
### カスコードPLL干渉ノイズへの適用

#### テストチップの特徴

- 2つのPLLを組み合わせて非常に高い周波数のクロックを高精度に生成するカスコードPLLにおいて、干渉ノイズの発生とその低減について検証する。



#### 検証回路チップ写真



カスコードPLLの干渉の解消に成功